

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-070101

(43)Date of publication of application : 05.03.1992

(51)Int.Cl. H03B 5/32

(21)Application number : 02-182203

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.07.1990

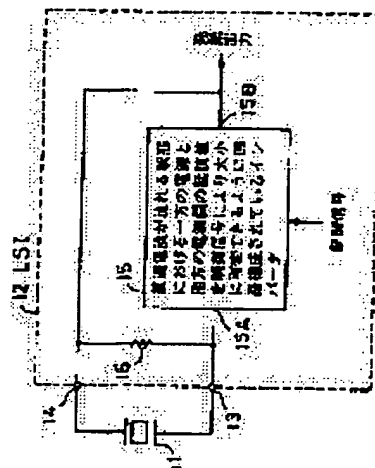
(72)Inventor : MATSUI TAKASHI

(54) OSCILLATION CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To enable operation with low voltage power source and to reduce energy consumption by constituting a circuit to variably increase/decrease a resistance value between one power source and the other power source by a control signal in a state, where a through current is flowed between one power source and the other power source, of an inverter signal.

CONSTITUTION: This device is composed of an oscillator 11, LSI 121, external terminals 13 and 14, inverter 15, input terminal 15A and output terminal 15B of the inverter 15, and feedback resistor 16. Then, a circuit is constituted so as to variably increase/ decrease the resistance value between one power source and the other power source by the control signal in the state, which lets a through current flow between one power source and the other power source for the inverter 15. In this case, during a period from the start of oscillation to attaining the normal state of oscillation, the resistance value is made small between one power source and the other power source in the state, which lets the through current flow between one power source and the other power source, and after the oscillation attains the normal state, the resistance value between the power source is controlled to be large. Thus, operations are enabled by the low voltage power source, and energy consumption can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑫ 公開特許公報(A) 平4-70101

⑤ Int. Cl.⁵

H 03 B 5/32

識別記号

D

庁内整理番号

8321-5 J

④ 公開 平成4年(1992)3月5日

審査請求 未請求 請求項の数 4 (全8頁)

⑭ 発明の名称 発振回路及び半導体集積回路装置

⑯ 特 願 平2-182203

⑰ 出 願 平2(1990)7月10日

⑱ 発 明 者 松 井 隆 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

発振回路及び半導体集積回路装置

2. 特許請求の範囲

1. 一方の電源と他方の電源との間に貫通電流が流れる状態における前記一方の電源と前記他方の電源間の抵抗値を制御信号により大小に可変できるように回路構成されたインバータ(15)と、

該インバータ(15)に並列接続された帰還抵抗(16)及び発振子(11)とを備え、

発振開始時から所定期間は、前記一方の電源と前記他方の電源との間に貫通電流が流れる状態における前記一方の電源と前記他方の電源間の抵抗値を小とし、前記所定期間経過後は、前記一方の電源と前記他方の電源との間に貫通電流が流れる状態における前記一方の電源と前記他方の電源間の抵抗値を大とするように制御されることを特徴とする発振回路。

2. 一方の電源と他方の電源との間に貫通電流が流れる状態における前記一方の電源と前記他方の電源間の抵抗値を制御信号により大小に可変できるように回路構成され、その入力端(15A)及び出力端(15B)をそれぞれ第1及び第2の外部端子(13、14)に接続され、該第1及び第2の外部端子(13、14)を介して発振子(11)が並列接続されるインバータ(15)と、

該インバータ(15)に並列接続された帰還抵抗(16)とを備え、

発振開始時から所定期間は、前記一方の電源と前記他方の電源との間に貫通電流が流れる状態における前記一方の電源と前記他方の電源間の抵抗値を小とし、前記所定期間経過後は、前記一方の電源と前記他方の電源との間に貫通電流が流れる状態における前記一方の電源と前記他方の電源間の抵抗値を大とするように制御されることを特徴とする半導体集積回路装置。

3. 前記インバータ(15)は、所定のオン抵抗

を有する一導電型のトランジスタ(17)と、所定のオン抵抗を有する他導電型の第2のトランジスタ(18)と、前記第1のトランジスタ(17)よりもオン抵抗の小さい一導電型の第3のトランジスタ(19)と、前記第2のトランジスタ(18)よりもオン抵抗の小さい他導電型の第4のトランジスタ(20)と、制御信号により、そのオン、オフが制御される第1及び第2の接続スイッチ回路(21、22)とを備え、

前記第1及び第2のトランジスタ(17、18)は、その制御電極を共に前記入力端(15A)に接続され、前記入力端(15A)に入力する信号にตอบสนองして、前記一方及び他方の電源の電圧を前記出力端(15B)に出力するように構成され、

前記第3及び第4のトランジスタ(19、20)は、その制御電極を共に前記入力端(15A)に接続され、前記入力端(15A)に入力する信号にตอบสนองして、前記一方及び他方の電源

前記第5及び第6のトランジスタ(23、24)は、前記一方の電源と前記出力端(15B)との間に直列に接続され、かつ、その制御電極を共に前記入力端(15A)に接続され、

前記第7及び第8のトランジスタ(25、26)は、前記他方の電源と前記出力端(15B)との間に直列に接続され、かつ、その制御電極を共に前記入力端(15A)に接続され、

前記第3の接続スイッチ回路(27)は、前記一方の電源と前記第5及び第6のトランジスタ(23、24)の被制御電極間の接続中点との間に接続され、

前記第4の接続スイッチ回路(28)は、前記他方の電源と前記第7及び第8のトランジスタ(25、26)の被制御電極間の接続中点との間に接続され、

発振開始時から所定期間は、前記第3及び第4の接続スイッチ回路(27、28)をオンとし、前記所定期間経過後は、前記第3及び第4の接続スイッチ回路(27、28)をオフとす

の電圧をそれぞれ前記第1及び第2の接続スイッチ回路(21、22)を介して出力するように構成され、

発振開始時から所定期間は、前記第1及び第2の接続スイッチ回路(21、22)をオンとし、前記所定期間経過後は、前記第1及び第2の接続スイッチ回路(21、22)をオフとするように制御されることを特徴とする請求項2記載の半導体集積回路装置、

4. 前記インバータ(15)は、所定のオン抵抗を有する一導電型の第5のトランジスタ(23)と、該第5のトランジスタ(23)よりもオン抵抗の小さい一導電型の第6のトランジスタ(24)と、所定のオン抵抗を有する他導電型の第7のトランジスタ(25)と、該第7のトランジスタ(25)よりもオン抵抗の小さい他導電型の第8のトランジスタ(26)と、制御信号によって、そのオン、オフが制御される第3及び第4の接続スイッチ回路(27、28)とを備え、

るように制御されることを特徴とする請求項2記載の半導体集積回路装置、

3. 発明の詳細な説明

[概要]

半導体集積回路装置内に形成されたインバータと、半導体集積回路装置に外部から接続される発振子とで構成される発振回路に関し、

低電圧電源での動作を可能とすると共に、低消費電力化を図ることを目的とし、

前記インバータを、一方の電源と他方の電源との間に貫通電流が流れる状態における前記一方の電源と前記他方の電源間の抵抗値を制御信号により大小に変えられるように回路構成し、発振開始時から所定期間は、前記一方の電源と前記他方の電源との間に貫通電流が流れる状態における前記一方の電源と前記他方の電源間の抵抗値を小とし、前記所定期間経過後は、前記一方の電源と前記他方の電源との間に貫通電流が流れる状態における前記一方の電源と前記他方の電源間の抵抗値を大

とるように制御する。

〔産業上の利用分野〕

本発明は、発振回路、より詳しくは、半導体集積回路装置（以下、LSIという）内部に形成されたインバータと、LSIに外部から接続される発振子とで構成される発振回路に関する。

〔従来の技術〕

従来、発振回路、例えば、水晶発振回路として第7図に示すようなものが提案されている。

図中、1は水晶発振子、2はLSI、3、4は外部端子、5はpチャネルのMOSトランジスタ（以下、単にpMOSという）、6はnチャネルのMOSトランジスタ（以下、単にnMOSという）であって、これらpMOS5とnMOS6とでインバータ7が構成されている。

また、8は帰還抵抗、9は直流電圧 V_{cc} 、例えば、5[V]が供給される電源線、10は発振出力を内部回路に供給するためのバッファをなすイ

ンバータである。

〔発明が解決しようとする課題〕

かかる従来の水晶発振回路を低電圧電源、例えば、1.5[V]で動作するLSIに適用する場合には、pMOS5及びnMOS6のオン抵抗を共に小さくする必要がある。しかしながら、このようにする場合、pMOS5及びnMOS6が同時にオン状態となる場合、即ち、インバータ7がスイッチングする際にpMOS5及びnMOS6を貫通して流れる電流、いわゆる貫通電流が大きくなり、このため、定常状態時の消費電流が増加し、消費電力の増大を招いてしまうという問題点があった。だからといって、pMOS5及びnMOS6のオン抵抗を大きくすれば、発振を開始させることができないという不都合がある。

本発明は、かかる点に鑑み、低電圧電源での動作を可能とすると共に、低消費電力化を図ることができるようにした発振回路を提供することを目的とする。

〔課題を解決するための手段〕

第1図は本発明による発振回路の第1の原理説明図である。図中、11は発振子、12はLSI、13、14は外部端子、15はインバータ、15A及び15Bはそれぞれインバータ15の入力端及び出力端、16は帰還抵抗であり、インバータ15は、一方の電源と他方の電源との間に貫通電流が流れる状態における一方の電源と他方の電源間の抵抗値を制御信号により大小に可変できるように回路構成されており、発振開始時から所定期間、例えば、発振開始時から発振が定常状態になるまでの期間は、一方の電源と他方の電源との間に貫通電流が流れる状態における一方の電源と他方の電源間の抵抗値を小とし、所定期間経過後、例えば、発振が定常状態になった後は、一方の電源と他方の電源との間に貫通電流が流れる状態における一方の電源と他方の電源間の抵抗値を大とするように制御される。

ここに、インバータ15は、第2図に本発明の第2の原理説明図を示すように、例えば、所定の

オン抵抗を有する一導電型の第1のトランジスタ17と、所定のオン抵抗を有する他導電型の第2のトランジスタ18と、第1のトランジスタ17よりもオン抵抗の小さい一導電型の第3のトランジスタ19と、第2のトランジスタ18よりもオン抵抗の小さい他導電型の第4のトランジスタ20と、制御信号によって、そのオン、オフが制御される第1及び第2の接続スイッチ回路21、22とを備え、第1及び第2のトランジスタ17、18は、その制御電極を共にインバータ15の入力端15Aに接続され、この入力端15Aに入力する信号にตอบสนองして、一方の電源電圧及び他方の電源電圧を出力端15Bに出力するように構成され、第3及び第4のトランジスタ19、20は、その制御電極を共に入力端15Aに接続され、入力端15Aに入力する信号にตอบสนองして、一方及び他方の電源の電圧をそれぞれ第1及び第2の接続スイッチ回路21、22を介して出力するように構成される。この場合、発振開始時から所定期間、例えば、発振開始時から発振が定常状態になるま

での期間は、第1及び第2の接続スイッチ回路21、22をオンとし、所定期間経過後、例えば、発振が定常状態になった後は、第1及び第2の接続スイッチ回路21、22をオフとするように制御される。

また、インバータ15は、第3図に、本発明の第3の原理説明図を示すように、例えば、所定のオン抵抗を有する一導電型の第5のトランジスタ23と、この第5のトランジスタ23よりもオン抵抗の小さい一導電型の第6のトランジスタ24と、所定のオン抵抗を有する他導電型の第7のトランジスタ25と、この第7のトランジスタ25よりもオン抵抗の小さい他導電型の第8のトランジスタ26と、制御信号によって、そのオン、オフが制御される第3及び第4の接続スイッチ回路27、28とを備え、第5及び第6のトランジスタ23、24は、一方の電源と出力端15Bとの間に直列に接続され、かつ、その制御電極を共に入力端15Aに接続され、第7及び第8のトランジスタ25、26は、他方の電源と出力端15B

との間に直列に接続され、かつ、その制御電極を共に入力端15Aに接続され、第3の接続スイッチ回路27は、一方の電源と第5及び第6のトランジスタ23、24の被制御電極間の接続中点との間に接続され、第4の接続スイッチ回路28は、他方の電源と第7及び第8のトランジスタ25、26の被制御電極間の接続中点との間に接続されて構成される。この場合、発振開始時から所定期間、例えば、発振開始時から発振が定常状態になるまでの期間は、第3及び第4の接続スイッチ回路27、28をオンとし、所定期間経過後、例えば、発振が定常状態になった後は、第3及び第4の接続スイッチ回路27、28をオフとするように制御される。

なお、第2図、第3図では、第1～第8のトランジスタ17～20、23～26につき、便宜上、MOSトランジスタで表示しているが、これらはいわゆるバイポーラトランジスタで構成することもできる。

〔作用〕

かかる本発明においては、インバータ15は、一方の電源と他方の電源との間に貫通電流が流れる状態における一方の電源と他方の電源間の抵抗値を制御信号により大小に可変できるように回路構成されており、発振開始時から所定期間、例えば、発振開始時から発振が定常状態になるまでの期間は、一方の電源と他方の電源との間に貫通電流が流れる状態における一方の電源と他方の電源間の抵抗値を小とし、所定期間経過後、例えば、発振が定常状態になった後は、一方の電源と他方の電源との間に貫通電流が流れる状態における一方の電源と他方の電源間の抵抗値を大とするように制御される。したがって、低電圧電源での動作が可能となると共に、低消費電力化を図ることができる。

〔実施例〕

以下、第4図～第6図を参照して、本発明の第1実施例及び第2実施例につき説明する。

第1実施例（第4図、第5図）

第4図は、本発明の第1実施例を示す回路図であり、図中、29は水晶発振子、30はLSI、31、32は水晶発振子接続用の外部端子、33は帰還抵抗、34はインバータ、35はオン抵抗の大きい、例えば、オン抵抗を数十 $K\Omega$ とするpMOS、36、37はオン抵抗の小さい、例えば、オン抵抗を数 $K\Omega$ とするpMOS、38はオン抵抗の大きい、例えば、オン抵抗を数十 $K\Omega$ とするnMOS、39、40はオン抵抗の小さい、例えば、オン抵抗を数 $K\Omega$ とするnMOS、41は制御信号 S_c が供給される外部端子、42は制御信号 S_c を反転させるためのインバータ、43は発振出力を内部回路に供給するためのインバータである。

ここに、制御信号 S_c を、例えば、ローレベル“L”にすると、pMOS37、nMOS40がオン状態となる。この場合において、貫通電流が流れる状態でのインバータ34の電源間（ V_{cc} と接地との間）の抵抗値 R_{34} は、貫通電流が流れ

る状態でのPMOS 36、37及びnMOS 38、39、40のオン抵抗をそれぞれ R_{35} 、 R_{36} 、 R_{37} 、 R_{38} 、 R_{39} 、 R_{40} とすると、

$$R_{34L} = \frac{R_{35}(R_{36} + R_{37})}{R_{35} + R_{36} + R_{37}} + \frac{R_{38}(R_{39} + R_{40})}{R_{38} + R_{39} + R_{40}}$$

$$R_{34L} = \frac{R_{35}}{\frac{R_{36} + R_{37}}{R_{35}} + 1} + \frac{R_{38}}{\frac{R_{39} + R_{40}}{R_{38}} + 1}$$

となる。

他方、制御信号 S_c をハイレベル“H”にすると、PMOS 37、nMOS 40がオフ状態となる。この場合において、貫通電流が流れる状態でのインバータ34の電源間の抵抗値 R_{34H} は、

$$R_{34H} = R_{35} + R_{38} > R_{34L}$$

となる。

そこで、かかる第1実施例においては、第5図に示すように、電源オン時には、制御信号 S_c をローレベル“L”に設定しておく。このようにす

値を大きくすることができるので、低電圧電源での動作を可能とすると共に、定常状態時におけるインバータ34の貫通電流を小さくして、低消費電力化を図ることができる。

第2実施例(第6図)

第6図は本発明の第2実施例を示す回路図であり、かかる第2実施例においては、第1実施例において設けられているインバータ34とは異なる回路構成のインバータ44を設け、その他については、第1実施例と同様に構成されている。なお、45はオン抵抗の大きい、例えば、オン抵抗を数十 $K\Omega$ とするPMOS、46、47はオン抵抗の小さい、例えば、オン抵抗を数 $K\Omega$ とするPMOS、48はオン抵抗の大きい、例えば、オン抵抗を数十 $K\Omega$ とするnMOS、49、50はオン抵抗の小さい、例えば、オン抵抗を数 $K\Omega$ とするnMOS、51は制御信号 S_c を反転させるためのインバータである。

ここに、制御信号 S_c を、例えば、ローレベル

と、PMOS 45、nMOS 38のみを動作対象とする場合には発振が不可能である低い電源電圧であっても発振を開始させることができる。

そして、その後、同じく第5図に示すように、発振が安定した場合には、制御信号 S_c をハイレベル“H”にする。このようにすると、PMOS 37、nMOS 40がオフ状態となるので、PMOS 36、nMOS 39が動作を停止し、PMOS 35、nMOS 38が動作を続行することになる。この場合、貫通電流が流れる状態におけるインバータの電源間の抵抗値は大きくなるが、前述したように発振開始電圧>発振停止電圧という水晶発振素子の基本的特性のため、発振は停止しない。なお、この場合、インバータ34の電源間の抵抗値が大きい分だけ、貫通電流は小さくなる。

このように、この第1実施例によれば、発振開始時から発振が安定するまでは、貫通電流が流れる状態におけるインバータ34の電源間の抵抗値を小さくし、発振が安定した後は、貫通電流が流れる状態におけるインバータ34の電源間の抵抗

“L”にすると、PMOS 47、nMOS 50がオン状態となる。この場合において、貫通電流が流れる状態でのインバータ44の電源間の抵抗値 R_{44L} は、貫通電流が流れる状態におけるPMOS 45、46、47、nMOS 48、49、50のオン抵抗を、それぞれ R_{45} 、 R_{46} 、 R_{47} 、 R_{48} 、 R_{49} 、 R_{50} とすれば、

$$R_{44L} = \frac{R_{45} \times R_{47}}{R_{45} + R_{47}} + R_{46} + R_{49} + \frac{R_{48} \times R_{50}}{R_{48} + R_{50}}$$

$$= \frac{R_{45}}{\frac{R_{47}}{R_{45}} + 1} + R_{46} + R_{49} + \frac{R_{48}}{\frac{R_{50}}{R_{48}} + 1}$$

となる。

他方、制御信号 S_c をハイレベル“H”にすると、PMOS 47、nMOS 50がオフ状態となる。この場合において、貫通電流が流れる状態でのインバータ44の電源間の抵抗値 R_{44H} は、

$$R_{44H} = R_{45} + R_{46} + R_{49} + R_{48} > R_{44L}$$

となる。

そこで、かかる第2実施例においても、第1実

施例の場合と同様に、電源オン時には、制御信号 S_c をローレベル "L" に設定しておく。このようにすると、電源電圧が低い場合であっても、発振を開始させることができる。

そして、その後、発振が安定した場合には、制御信号 S_c をハイレベル "H" にする。このようにすると、pMOS 47、nMOS 50 がオフ状態となり、貫通電流が流れる状態でのインバータ 44 の電源間の抵抗値は高くなるが、前述したように発振開始電圧 > 発振停止電圧という水晶発振素子の基本的特性のため、発振は停止しない。なお、この場合、インバータ 44 の電源間の抵抗値が大きい分だけ、貫通電流は小さくなる。

このように、この第2実施例によっても、発振開始時から発振が安定するまでは、貫通電流が流れる状態でのインバータ 44 の電源間の抵抗値を小さくし、発振が安定した後は、貫通電流が流れる状態でのインバータ 44 の電源間の抵抗値を大きくすることができるので、低電圧動作が可能となると共に、定常状態におけるインバータ 44 の

貫通電流を小さくして、低消費電力化を図ることができる。

〔発明の効果〕

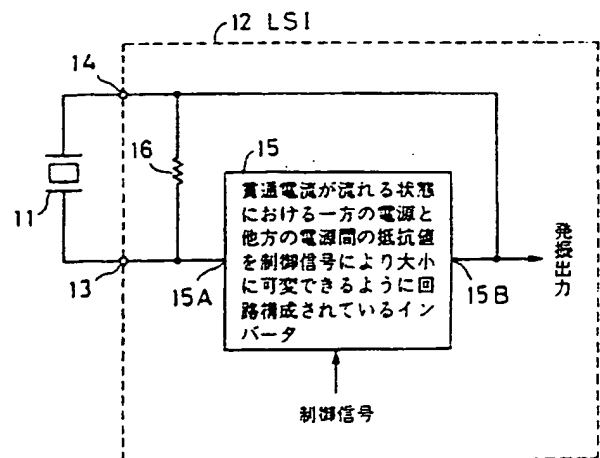
以上のように、本発明によれば、インバータは、一方の電源と他方の電源との間に貫通電流が流れる状態における一方の電源と他方の電源間の抵抗値を制御信号により大小に変化させることができるように回路構成されており、発振開始時から所定期間、例えば、発振が定常状態になるまでは、一方の電源と他方の電源との間に貫通電流が流れる状態における一方の電源と他方の電源間の抵抗値を小とし、所定期間経過後、例えば、発振が定常状態になった後は、一方の電源と他方の電源との間に貫通電流が流れる状態における一方の電源と他方の電源間の抵抗値を大とするように制御することができるので、低電圧電源での発振動作が可能となると共に、低消費電力化を図ることができる。

4. 図面の簡単な説明

- 第1図は本発明の第1の原理説明図、
- 第2図は本発明の第2の原理説明図、
- 第3図は本発明の第3の原理説明図、
- 第4図は第1実施例を示す回路図、
- 第5図は第1実施例の動作を示す波形図、
- 第6図は第2実施例を示す回路図、
- 第7図は従来の水晶発振回路を示す回路図である。

(第1図～第3図において)

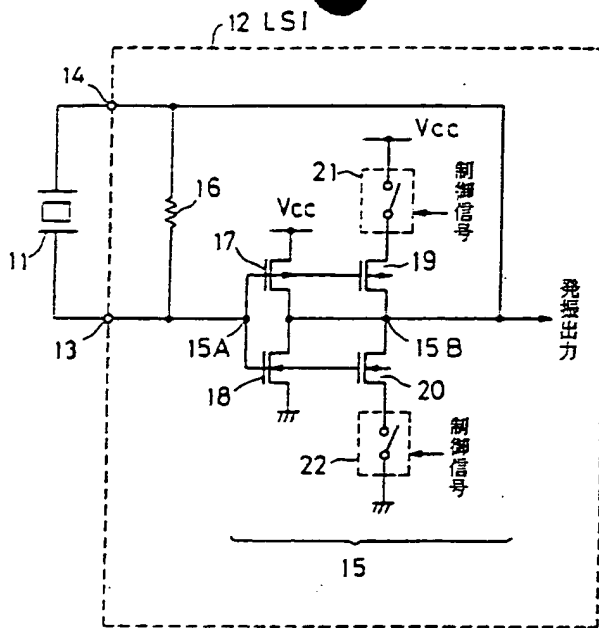
- 11…発振子
- 12…LSI
- 13、14…外部端子
- 15…インバータ
- 16…掃渡抵抗



本発明の第1の原理説明図

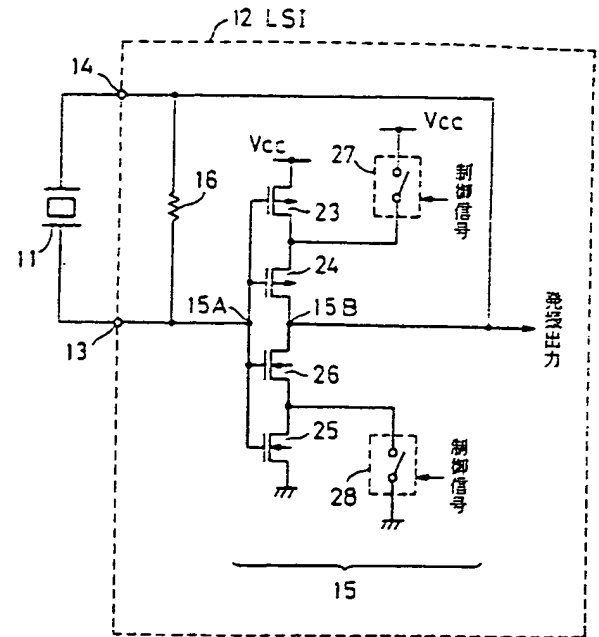
第1図

代理人 弁理士 井桁貞一



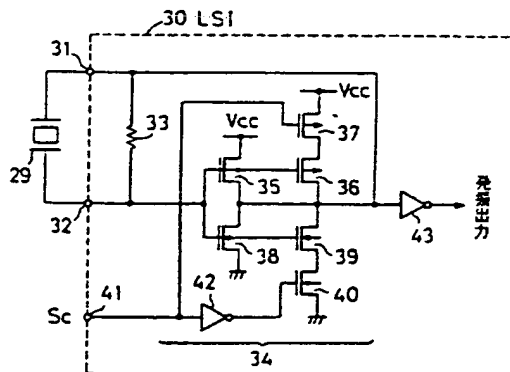
本発明の第2の原理説明図

第2図



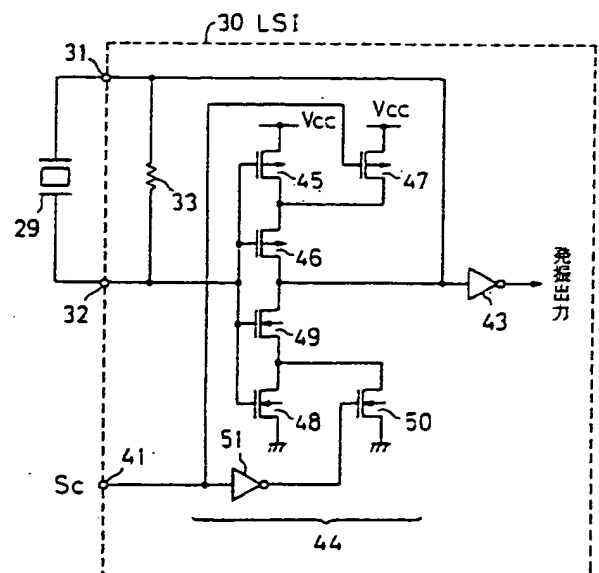
本発明の第3の原理説明図

第3図



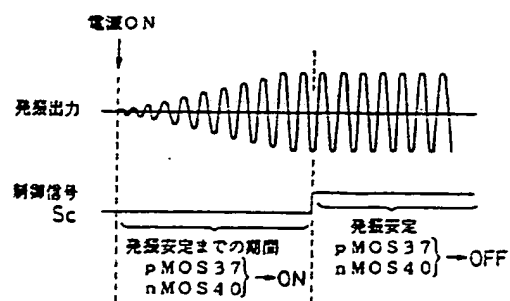
第1実施例

第4図



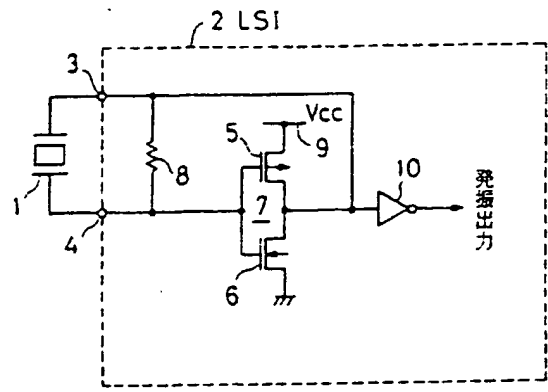
第2実施例

第6図



第1実施例の動作を示す波形図

第5図



従来の水晶発振回路

第 7 図